

PAT-NO: JP02000201151A  
DOCUMENT-IDENTIFIER: JP 2000201151 A  
TITLE: SOURCE CLOCK REPRODUCING CIRCUIT  
PUBN-DATE: July 18, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
SUZUKI, NORIO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC ENG LTD	N/A

APPL-NO: JP11000473

APPL-DATE: January 5, 1999

INT-CL (IPC): H04L012/28, H04L007/027 , H04L007/04

ABSTRACT:

PROBLEM TO BE SOLVED: To reproduce the source clock of the transmitting data with high accuracy at the receiving side even when the supplied network clocks are different between the transmitting and receiving sides by generating a reproducing source clock, based on the difference value between the correction value and a receiving time stamp.

SOLUTION: At a receiving part 10, a receiving cell is decomposed by a cell decomposing means 11 and the data are inputted to a buffer 12. A time stamp is supplied to an adder 13 and added to the correction value supplied from a correction value generation circuit 14 to generate the time stamp value that is corrected to be adaptive to the clock of the receiving side. A difference unit

**BEST AVAILABLE COPY**

15 subtracts the time stamp value of the receiving side supplied from a register 19 from the corrected time stamp value and supplies this difference value to a control circuit 16. The circuit 16 produces a control signal based on the difference value of time stamps between the transmitting and receiving sides. A VCXO (voltage controlled transmitter) 21 reproduces a source clock having the frequency corresponding to the control voltage.

COPYRIGHT: (C)2000,JPO



## 【特許請求の範囲】

【請求項1】ソースクロックを分周した一定周期毎にタイムスタンプを得て、データと多重してセル化して送信されたセル信号を受信する装置のソースクロック再生回路において、前記受信セルをタイムスタンプ及びデータに分離するセル分解手段と、該セル分解手段で分離された前記データを一旦蓄えて、再生したソースクロックで読み出すデータバッファと、網クロックをカウントして一定周期毎に受信側タイムスタンプを得る手段と、補正値を発生する補正値発生回路と、前記補正値と前記セル分解手段の出力とを加算し前記受信側タイムスタンプとの差分値を得る手段と、前記差分値に基づく制御電圧により前記再生ソースクロックを発生する電圧制御発振器とを備えることを特徴とするソースクロック再生回路。

【請求項2】前記補正値は、前記データバッファの占有量に基づき発生することを特徴とする請求項1に記載のソースクロック再生回路。

【請求項3】前記補正値発生回路の前記補正値は、前記セル分解手段、前記データバッファ及び前記電圧制御発振器の出力を受ける受信位相検出回路の出力に基づき発生することを特徴とする請求項1に記載のソースクロック再生回路。

【請求項4】前記補正値発生回路は、判定器と、該判定器の出力をK1倍して積分する第1積分器と、前記判定器の出力をK2倍すると共に前記第1積分器の出力を積分する第2積分器より成ることを特徴とする請求項1、2又は3に記載のソースクロック再生回路。

【請求項5】前記判定器は、複数のしきい値を有することを特徴とする請求項4に記載のソースクロック再生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はソースクロック再生回路、特に映像及び音声データをATM（非同期転送モード）セルによりデータ圧縮伝送する場合に、送信側と受信側の網クロックが異なるときでも、データのソースクロック（標本化又はサンプリングクロック）を送信側で高精度に再生可能にするソースクロック再生回路に関する。

## 【0002】

【従来の技術】B-ISDN（Broadband aspects of ISDN＝広帯域サービス総合デジタル網、一般には広帯域ISDNという）の伝送技術として、ATMが注目されている。ATMでは、データはセルに分割され、非同期伝送される。この為に、例えば映像や音声等は、網のクロックとは同期していない固有の標本化クロックを有するデータをATM伝送する場合には、受信側ではこれらのソースクロックを再生する機能が必要である。

【0003】従来のATMのソースクロック再生回路と

して、タイムスタンプを用いる方式がある。この方式は、安定した高精度でクロックが再生できるが、送信側と受信側において網クロックを共通タイミングとして利用する為に、同一の網クロックが得られる場合にのみ正確なソースクロックの再生が可能となる。しかし、異国間網接続等のクロックが共通でない網を接続し、送信側と受信側に異なる網クロックが供給される場合には、タイムスタンプ方式のみでは、バッファメモリのオーバーフローやアンダーフローが発生するという問題があった。

【0004】これを解決する従来技術として、特開平6-303254号公報に開示されている「ソースクロック再生回路」がある。以下、この従来のソースクロック再生回路を図6及び図7を参照して簡単に説明する。図6及び図7は、夫々従来のソースクロック再生回路の送信側及び受信側のブロック図である。

【0005】図6の送信部101は、ソースクロックが入力されるN分周器102、第1のカウンタ103、レジスタ104及びセル構成手段105を有する。他方、図7の受信部106は、セル分解手段107、データバッファ108、パルス発生手段109、第2のカウンタ110、ゲート111、第3のカウンタ112、ゲート制御手段113、位相同期ループ（PLL）114及びしきい値決定手段115を有する。

【0006】図6の送信部101では、ソースクロックが分周器102によりN分周され、一定周期T毎にタイミングが作られる。この周期T毎に第1のカウンタ103の出力値がレジスタ104に取り込まれ、タイムスタンプとして保持され、セル構成手段105においてデータとともにセルに構成される。

【0007】図7の受信部106では、受信セルはセル分解手段107でデータとタイムスタンプとに分解される。データはデータバッファ108に入力される。タイムスタンプはパルス発生手段109に入力される。パルス発生手段109は、受信部106に供給される網クロックを計数する第2のカウンタ110の出力とタイムスタンプを比較し、一致した場合にパルスを発生する。発生したパルスはゲート111に入力される。

【0008】一方、網クロックを計数する第3のカウンタ112の出力は、ゲート制御手段113において、しきい値決定手段115からのしきい値と比較され、しきい値を越えた時点でゲートの解放信号が出される。第3のカウンタ112はゲート111を最初のパルスが通過した時点でリセットされ、ゲート111は閉じられる。

【0009】位相同期ループ114は、ゲート111を通過したパルスをN通倍し、かつ揺らぎを吸収して元の送信データのソースクロックを再生する。再生ソースクロックは、更にデータバッファ108からの読み出しクロックとして用いられ、データが再生される。なお、ゲート制御手段113で使用されるしきい値は、データバ

ッファ108の占有量を検出し、その量に応じてしきい値決定手段115で決定される。

【0010】例えば、受信部106で得られる網クロックレートが送信部101の網クロックレートより高い場合再生されるソースのクロックレートが上がりデータバッファ108の占有量が下がる。そこで占有量が所定の範囲をはずれた場合、しきい値を大きくして第3のカウンタ112の出力がしきい値に到達するタイミングを遅くする。これにより、パルス間隔が広がるため再生するソースクロックのレートが下がり、データバッファ108の占有量が上昇する。しきい値は、占有量が元の範囲に戻った時点で戻される。このようにして、ソースクロックが再生される。受信部106の網クロックレートが送信部101の網クロックレートより低い場合は、逆の動作となる。

【0011】

【発明が解決しようとする課題】しかしながら、このような従来のソースクロック再生回路では、網クロックが同一でない場合に、データバッファの占有量を用いることによりバッファがオーバフローやアンダーフローしないようにソースクロックを再生する事ができるものの、送信側のタイムスタンプの値をそのまま用いてパルスを発生している構成のため、正確なパルスが発生されない欠点がある。

【0012】すなわち、バッファの占有量を用いてクロック周期の制御を行っているが、データバッファの占有量があるしきい値の範囲内の場合は、送信側のタイムスタンプ値に受信側のクロックで計数して一致したときパルスが発生されるので、網クロックの誤差を伴った時刻で、タイムスタンプのパルス位置が再生されることになる。

【0013】一方、バッファの占有量がしきい値を越えたときは、パルスを発生するタイミングの補正がなされるが、パケット化によるパケットサイズ単位での量子化の誤差及びパケットの到達遅延変動によりバッファの占有量が変動しするため、補正されるパルス発生位置も占有量の変動の影響を受けやすい欠点があった。

【0014】放送用のTV信号や、高品位TV(HDTV)信号では、安定した高い精度のソースクロックが必要とされるため、遅延変動を押さえようとして位相同期ループの時定数を高くすると、送信側のソースクロックの変動に追従して変動する時間が多くかかることになりデータバッファの容量も大きくする必要が生じる欠点があった。

【0015】また、画像符号化データが可変長号化によるデータ圧縮を行ったデータである場合、データの発生情報量が時間変動するため、データバッファの占有量は、この影響を受けて変動することになり、従来の方式による占有量を用いてソースクロックの再生制御を行うと、占有量の変動の影響を受ける易いという欠点があっ

た。

【0016】そこで、発明の目的は、画像信号等を可変長符号化によりデータ圧縮したデータをATMシステムで伝送する場合に、送信側と受信側で供給される網クロックが異なる場合でも、送信データのソースクロックが、受信側で高い精度で再生可能なソースクロック再生回路を提供することにある。

【0017】

【課題を解決するための手段】前述の課題を解決するため、本発明によるソースクロック再生回路は、次のような特徴的な構成を採用している。

【0018】(1) ソースクロックを分周した一定周期毎にタイムスタンプを得て、データと多重してセル化して送信されたセル信号を受信する装置のソースクロック再生回路において、前記受信セルをタイムスタンプ及びデータに分離するセル分解手段と、該セル分解手段で分離された前記データを一旦蓄えて、再生したソースクロックで読み出すデータバッファと、網クロックをカウントして一定周期毎に受信側タイムスタンプを得る手段と、補正値を発生する補正値発生回路と、前記補正値と前記セル分解手段の出力とを加算し前記受信側タイムスタンプとの差分値を得る手段と、前記差分値に基づく制御電圧により前記再生ソースクロックを発生する電圧制御発振器とを備えるソースクロック再生回路。

【0019】(2) 前記補正値は、前記データバッファの占有量に基づき発生する上記(1)のソースクロック再生回路。

【0020】(3) 前記補正値発生回路の前記補正値は、前記セル分解手段、前記データバッファ及び前記電圧制御発振器の出力を受ける受信位相検出回路の出力に基づき発生する上記(1)のソースクロック再生回路。

【0021】(4) 前記補正値発生回路は、判定器と、該判定器の出力をK1倍して積分する第1積分器と、前記判定器の出力をK2倍すると共に前記第1積分器の出力を積分する第2積分器より成る上記(1)、(2)又は(3)のソースクロック再生回路。

【0022】(5) 前記判定器は、複数のしきい値を有する上記(4)のソースクロック再生回路。

【0023】

【発明の実施の形態】以下、本発明によるソースクロック再生回路の好適実施形態例を添付図、特に図1～図5を参照して詳細に説明する。

【0024】先ず、図1を参照して、本発明のソースクロック再生回路の好適実施形態例を説明する。送信部1は、分周器2、第1のカウンタ3、レジスタ4及びセル構成手段5から構成される。

【0025】受信部10は、セル分解手段11、データバッファ12、加算器13、補正値発生回路14、差分器15、制御回路16、D/A変換器17、第2のカウンタ18、レジスタ19、分周器20、VCXO回路2

1から構成され。

【0026】送信部1では、ソースクロックが分周器2によりN分周される。一定周期T毎にタイミングが作られ、この周期T毎に第1のカウント3の出力値がレジスタ4に取り込まれ、タイムスタンプとして保持され、セル構成手段5においてデータとともにセルに構成される。セル信号は信号伝送路を経由して受信側の受信部10に送出される。

【0027】受信部10では、受信セルをセル分解手段11でデータとタイムスタンプとに分解して、データはバッファ12に入力される。大略の周期がT毎に送られてくるタイムスタンプは加算器13に供給され、補正値発生回路14から供給されるタイムスタンプ補正値と加算されて、受信側のクロックに適合するように補正されたタイムスタンプ値を発生する。補正されたタイムスタンプは、差分器15に供給される。

【0028】差分器15は、補正されたタイムスタンプ値から、レジスタ19から周期T毎に供給される受信側タイムスタンプ値の減算を行いその差分値を制御回路16へ供給する。

【0029】制御回路16は、送受間タイムスタンプの差分値が正の場合は、受信側タイムスタンプ値が遅れて少ない値であるため、受信側タイムスタンプ値を大きくする制御を行う。このため、分周器20でN分周して求めるカウントの周期Tの値が長くなるように、再生ソースクロックの周期を大きくする必要があり、再生ソースクロックの周波数を少し低くするような制御となるような制御信号を発生する。

【0030】制御回路16は、差分値が負の場合は、受信側タイムスタンプ値が進んで大きい値であるため、受信側タイムスタンプ値を小さくするためにカウントする周期を短くするような制御を行う。このため、再生ソースクロックの周波数を少し高くするような制御をディジタルフィルタで構成して制御信号を発生する。

【0031】制御回路16では、上述の如く、差分値からディジタルフィルタ処理で制御信号を求め、D/A変換器17でアナログ信号に変換され、VCXO（電圧制御発信器）21に供給され、制御電圧に応じた周波数のソースクロックを再生する。ソースクロックはデータバッファ12と分周器20に供給される。分周器20は、ソースクロックをN分周して一定周期Tのタイミングを発生しレジスタ19に供給する。ソースクロックが送信側とはほぼ等しい時には、この周期は送信側の分周器2で得られる周期Tとはほぼ一致することになる。第2のカウント18は網クロックを計数してカウント値を出力してレジスタ19に供給する。レジスタ19は一定周期Tのタイミング毎にカウント出力をレジスタ19にセットして出力し、差分器15に供給する。

【0032】再生ソースクロックは、更にデータバッファ12からの読み出しクロックとして用いられ、再生デ

ータが再生ソースクロックに応じてデータバッファ12から読み出されて出力される。

【0033】補正値発生回路14は、データバッファ12の占有量を検出し、その量の変動を基に判定を行って、送信側と受信側の網クロックのずれを示すタイムスタンプ値の偏差値を補正値として求める。送信側及び受信側の網クロックの周波数は通常安定しており短時間には急激に変動しないことより、補正値は、バッファメモリの占有量が一定の範囲内になった後は、大きな時定数で順次ゆっくりと補正しながら、平均すると占有量が一定値となるように補正値を漸近的に求めることにより、高い精度の補正値が求められる。以上の動作により精度の高いソースクロックが再生される。

【0034】次に、図2を参照して図1に示す補正値発生回路14の具体例を説明する。補正値発生回路14は、判定器31、係数K1の利得器32、加算器33、レジスタ34、加算器35、レジスタ36、係数K2の利得器39からなる。加算器33とレジスタ34は第1の積分器37を構成し、タイムスタンプ周期Tの間における網クロック数の誤差値を示す差分補正値を出力する。加算器35及びレジスタ36は第2の積分器38を構成し、差分補正値を積分して、周期T毎のタイムスタンプが補正された値となるような補正値を出力する。

【0035】データバッファ12の占有量が判定器31に供給される。判定器31は、占有量がセンタのある判定範囲の中ならば0の値を、占有量が判定しきい値の範囲より大きい側に越えていたら、ソースクロックの周波数を高くして、データの読み出しを早める様にするため、差分補正値が負の値となるように判定器31の出力は負の-1の値を出力する。占有量が判定しきい値の範囲より小さい側に越えていたら、読み出しを遅くするため、ソースクロックの周波数を低くして、データの読み出しを遅くする様にするため、+1の判定値を出力する。判定出力の値は利得器32及び39を経て夫々加算器33及び加算器35へ供給される。

【0036】利得器32の出力は補正値が所望の精度が得られるようにK1倍の大きさにして第1の積分器37の加算器33へ供給される。細かい精度で補正が行える様に、小数点以下十分なビット数が得られるようにK1の係数の大きさは、1に比べて十分小さな値に設定する。

【0037】第1の積分器37は、判定値が出力される毎に積分が行われて、積分値は最終目標の差分補正値に次第に収束する。第1の積分器37から出力される差分補正値がタイムスタンプ周期Tにおける網クロックの送受間での差分の値に等しくなると、差分補正値を積分して得られる第2の積分器38の出力の補正値は、タイムスタンプの値が正しい時刻で再生されるような補正値を供給する。この結果、補正後の送受のタイムスタンプは一致して差分値は0となり、送信側のソースクロ

ックと一致するような再生ソースクロックが得られ、従ってデータバッファの占有率の平均値はほぼ一定となつて、データバッファ12の占有率はセンタと判定する範囲内に留まるようになり、この結果、判定値もほぼ0が連続することになる。

【0038】この特定例で、送受の網クロックが一致している場合も、網クロックが異なる場合と同様な処理で安定したソースクロックの再生が行われる。即ち、ソースクロックが切り替え等で変動したとき、送受でソースクロックの周波数がずれると、データバッファ12の占有率10が変動して、センターからずれるが、受信側のタイムスタンプ値もずれるため、タイムスタンプ値の送受間の差分値から再生ソースクロックの周波数の補正が速やかに行われる。

【0039】この結果、データバッファ12の占有率が速やかにセンタに収束が行われるため、時定数の大きい補正值の値は大きく変化せずほぼ0となり、結果的にはタイムスタンプ値にほぼ0の補正值が加算されてそのまま差分器15へ供給される。その結果、同じ網クロックにより、送受のタイムスタンプ値が一致するように制御が行われ、送信側と一致した周波数のソースクロックが再生されるので、その後データバッファ12の占有率もセンタにほぼ安定して判定値も0が出力され、安定したソースクロックが再生される。

【0040】判定器31の判定出力を利得器39でK2倍にして直接に第2の積分器38の加算器35に加算することによって、直接的な補正が直ちに行われることになり、タイムスタンプのずれの補正を迅速に行うことができる。迅速な補正を行うことが必要な場合は、利得器39の係数K2の大きさは1よりあまり小さい値にはしない。K2の大きさが大きいと、占有量の変化に敏感に補正值が追従することになるので、占有量は瞬時の占有量でなく、平均した占有量から判定値を求めるようになる。

【0041】なお、積分器37、38のレジスタ34、36の位置を、加算器33、35へのフィードバック回路の位置に置くように構成すれば、判定器31からの信号がレジスタを経由しないので、制御信号の出力の遅延をより少なくできる。

【0042】次に、補正值発生回路12の補正值演算に必要な精度について、具体例を示す。尚、小数点以上の桁は、タイムスタンプの有するビット数と同じ桁数とし、モジュロ演算を行う。

【0043】小数点以下の精度は以下により設定する。放送信号のカラーサブキャリア3.58Mの変動の精度は0.1サイクル/秒、(約0.03PPM)である。ソースクロックの安定度を、この精度を満足するように設計する。

【0044】タイムスタンプに用いる網クロックの基準周波数を伝送レートのクロックの155.52MHzで

直接行うのは高速回路が必要なため、簡単となるように1/8の19.44MHzを用いる。1秒間での1クロックの変動は、 $1/19.44M \approx 0.05 \text{ ppm}$ の変動となる。

【0045】タイムスタンプの周期Tを映像フレーム周期のT $\approx 33 \text{ ms}$ とすると、タイムスタンプは、19.44Mの基準クロックで計数するカウンタ出力値が、約33ms毎に $19.44M \times 0.033 \approx 0.6 \text{ M}$ ずつ増加することになる、このカウント周期で、カウント値の1の変動は $1/0.6 \text{ M} \approx 1.5 \text{ ppm}$ となる。第1の積分器37へ供給する値の1の大きさが1.5ppmの精度となるで、利得を下げて感度を鈍くして安定度を高める。例えば、K1の利得としては、サブキャリアの周波数安定度(約0.03ppm)より高い安定度が得られるように、 $1/M = 1/256$ として、 $1.5 \text{ PPM}/256 \approx 0.006 \text{ ppm}$ の精度となるようにする。この場合、利得器32は入力を8ビットシフトして加算器33へ供給することにより1/256の乗算を等価的に実現する。補正值発生回路12の演算精度はこの精度で行われる。

【0046】図3に補正值発生回路14の第2の具体例を示す。補正值発生回路14は、判定器41、係数K1の利得器42、加算器33、レジスタ34、加算器35、レジスタ36、係数K2の利得器43からなる。判定器41、利得器41、42は判定回路44を構成する。加算器33とレジスタ34は第1の積分器37を構成し、タイムスタンプ周期Tの間における網クロック数の誤差値を示す差分補正值を出力する。加算器35及びレジスタ36は第2の積分器38を構成し、差分補正值を積分して、周期T毎のタイムスタンプが補正された値となるような補正值を出力する。

【0047】判定器41は、判定範囲のしきい値が複数個設けられ、データバッファの占有量がセンタからのずれの大きさが大きくなるに対応して、判定出力値を非常に小さい値から次第に大きくすることにより、補正值の安定度を高く、かつデータバッファ12への占有量のセンタへの引き込みを早くすることができる。また、利得器42及び利得器43へ供給する判定値は別々に供給される。

【0048】これにより、データデータバッファ12の占有状態を見ながら細かく適応的に制御が行え、引き込み時間は早く、引き込み時の安定度は非常に高くすることができる。ここで、判定器41、利得器42、43を合わせて判定回路44のブロックとして纏めて構成することができる。

【0049】次に、第1の積分器37の構成を簡単化した場合の例を説明する。第1の積分器37の整数部分の精度は、必ずしも、タイムスタンプの有するビット数は必要ない。送受の各網クロック周波数の変動幅を $\pm 20 \text{ ppm}$ とすると、周期T $= 33 \text{ ms}$ におけるタイムスタンプの値の変動幅は、 $19.44 \text{ M} \times 20 \text{ PPM} \times 0.$

033=約13である。従って整数部は6ビットあれば2の補数で演算処理を行うことによって、±32の範囲迄、差分補正値をカバーできることになる。

【0050】図4は制御回路16の具体的構成例を示す。差分器15から供給される差分値Eから制御値を求める方法は、差分値に比例する制御信号と、差分値の積分値に比例する制御信号とを加算した値でソースクロックの周波数制御を行うデジタルフィルタで構成する例を示す。

【0051】制御回路16へ供給されたタイムスタンプの差分値の信号は係数K3の乗算器51及び係数K4の乗算器52へ供給される。係数K2の乗算器51の出力は積分器56の加算器53に供給されレジスタ54との値と加算されて積分値が得られ、積分値は加算器55及びレジスタ54へ供給される。加算器55は積分値と係数K4の乗算器52からの制御値を加算して制御信号として出力する。乗算器の係数の大きさは、D/A変換器17の精度とVCXO21の引き込み範囲考慮して決められる。

【0052】D/Aが16ビットで、VCXOの制御範囲が±300ppmとすると、D/Aへの制御値が1のとき、600ppm/16ビット=約0.01ppmの制御補正が行われることになる。一方、周期T毎のタイムスタンプの差分値Eの大きさが1であるとき、約1.5ppmの周波数のずれに相当するので、これの補正を10回の制御(約0.3秒)で行うとすると、1回で0.15ppmの補正が必要で、K4の係数は0.15/0.01=15程度にする必要がある。一方、K4を大きくすると、雑音等による差分値の変動の影響が大きくなるので、高安定度を重視して応答時間を犠牲にするなら、より小さな値に設定する方が望ましい。

【0053】係数K3の値は、ソースクロック周波数制御の系の安定性を高めるために、積分器のへの乗算器の係数K3の値は直接に加算補正する係数K4に比して十分小さくする。NTSCカラーテレビ信号のカラーサブキャリア周波数の時間変動は0.1サイクル/秒(0.1/3.58M=約0.028ppm)以下と規定されており、1秒間30回の制御で積分値が0.028ppm以下にする場合には、1回で0.0009ppm以下の補正になるようにK3の値を設定する必要がある。すなわち1/11より小さい値となる。

【0054】バッファメモリ12の容量が大きいときは、時間をかけて補正が行えるが、あまり十分でないメモリ容量の場合は、オーバフローやアンダフローしないように迅速にソースクロックの補正を行う必要があるので、引き込み制御は早く行われるように制御特性を設定したい。このためにはK3及びK4は大きく設定したい。一方、引き込みを早くするために時定数を小さくすると、雑音等の影響を受けて、周波数の安定度が劣化する悪影響があることより、安定度を高める為には、時定

数は出来るだけ大きく設定したい。

【0055】このため、K3およびK4は出来るだけ小さく設定したい。この両方の目的を達成するために、K3及びK4の特性を、差分値Eの大きさによって係数の値が変化する様な非線形特性を有する係数特性を持つように設定する。即ち、差分値Eが0を中心にある値の大きさの範囲に入っている場合は、安定精度を高めるためK3、及びK4の値は上記で設計した値より小さい値に設定し、差分値Eの絶対値がある閾値より大きくなった場合は、引き込み時間を早めるため、上記で設定した値より大きい値にする。これにより、通常の安定時の精度を高くすることができ、かつ異常時には迅速な引き込みが実現できる。非線形特性の閾値は1つでなく、2つ以上にして、K3及びK4の係数の非線形をより細かい制御特性を持ったものにする、よりなめらかに、高安定性と高速引き込みの両方の性能を満足する制御を行うことが出来る。

【0056】なお、この非線形の制御方法は、同様に補正値発生回路14の占有率に基づく判定方法に採用することができ、高精度の安定性と、高速引き込みの特性を有して補正値を求めることが行えることになる。

【0057】図5は本発明によるソースクロック再生回路の他実施形態例の受信側の構成のブロック図を示す。

図5は、図1の受信部10において、受信位相検出器59が加えられ、補正値発生回路58が変更された構成となっている。他のブロックは同様の機能を有する。

【0058】この実施形態例では、補正値を発生するのに、バッファメモリの蓄積量を元に判定するのではなく、タイムスタンプの情報が受信側に到着する時刻からタイムスタンプを求める基準周期Tの送受間の位相差を求め、これを基に判定して補正値を発生するようにする。

【0059】送信側は、図1の送信部1と同じ構成である。送信側で、分周器2が発生する周期Ts毎に得られたタイムスタンプの情報は、セル構成手段1で、ATMヘッダーを付けてデータと多重化されて、ATMセルとして受信側に伝送される。

【0060】図5に示す受信部10において、セル分解手段11でタイムスタンプの情報とデータが分離され、データはデータバッファ12へ供給され、タイムスタンプの情報は加算器13へ供給され、タイムスタンプを受信したことを示す受信表示信号は、受信位相検出回路59へ供給される。受信表示信号は、送信側の周期Ts毎に得られるはずであるが、セル化及びATMの経路の変動による揺らぎにより遅延の変動を有している。しかし十分平均すれば、周期Tsに等しくなる。分周器20は、再生クロックを分周カウンタでN分周して受信側周期Trを求めるが、この分周カウンタのカウンタ値がそのまま受信位相検出回路59へ供給される。

【0061】データバッファ12からは、バッファの占



有量が、受信位相検出回路59へ供給される。受信位相検出回路59では、データバッファ12の占有量がほぼセンタとなった場合に、タイムスタンプを受信した時を示す受信表示信号が得られた時の分周カウンタのカウンタ値を保持セットすることにより、その得られたカウンタ値を基準位相とする。次の受信表示信号からは、受信表示信号が得られた時の分周カウンタの値を受信位相として、基準位相と比較し、受信位相と基準位相の差分を位相差として得て、補正值発生回路58へ供給する。

【0062】受信側の網クロックが送信側より高い場合は、送受が同じタイムスタンプのカウンタ値では、送信側の周期 $T_s$ に比べて受信側の周期 $T_r$ が短くなることより、送信側の受信位相が受信側の基準位相より遅れる（受信位相が大きくなる）ことになり、この時、位相差は正の値になる。補正值発生回路58では、位相差の信号を元に判定して、正の補正值を発生して加算器13に供給し、送信側のタイムスタンプに正の補正值を加えて、網クロック偏差によるタイムスタンプの値が補正されるようにして、送受の周期 $T$ が一致するようにする。受信側の網クロックが低い場合は、逆の動作が行われることになる。補正值発生回路58は、バッファ占有量の信号でなく、位相差の信号を基に判定を行う他は、補正值発生回路14と同様の構成で実現できる。

【0063】送信側のタイムスタンプの情報は、一定周期 $T$ 毎に求められて、データと一緒に多重化され、更にセル化されて受信側に送られてくるため、セル化による時間の量子化及び、セルの伝送遅延の変動による時間変動を伴って受信側に、到着する。セルのサイズの量子化による時間変動は大きい、セルサイズがある程度小さい場合は量子化による時間変動も小さく、到着時間を平均化すれば、送信側の周期 $T$ が得られ、受信側の周期 $T$ と比較することにより、その平均到着時間のずれから、送受の網クロックのずれの値が推定出来ることになる。伝送データが可変長符号化を行っている場合で、データバッファの変動が大きい場合には、占有量を元に補正值を求めるより、この実施形態例が有効となると考えられる。

【0064】以上、本発明のソースクロック再生回路の好適実施形態例を説明したが、これは単なる例示にすぎず、特定用途に応じて種々の変形変更が可能であること勿論である。

【0065】

【発明の効果】本発明のソースクロック再生回路よれば、網クロックが送信側と受信側で異なる場合に、タイムスタンプの値の誤差を補正できる様に、データバッファの占有率の状態又は、タイムスタンプの平均到着時刻

の位相差をもとに判定を行って、安定した高い精度でタイムスタンプの補正值を求め、送信側のタイムスタンプに補正值を加算して、受信側のクロックに対応する補正されたタイムスタンプを求め、これをもとにタイムスタンプのパルス周期を高い精度で再生できるため、高い精度のソースクロックを再生することができる。

【図面の簡単な説明】

【図1】本発明によるソースクロック再生回路の好適実施形態例のブロック図である。

【図2】図1に示すソースクロック再生回路の構成要素である補正值発生回路の詳細ブロック図である。

【図3】図2に示す補正值発生回路の変形例を示す図である。

【図4】図1に示すソースクロック再生回路の構成要素である制御回路の詳細ブロック図である。

【図5】本発明によるソースクロック再生回路の他の好適実施形態例のブロック図である。

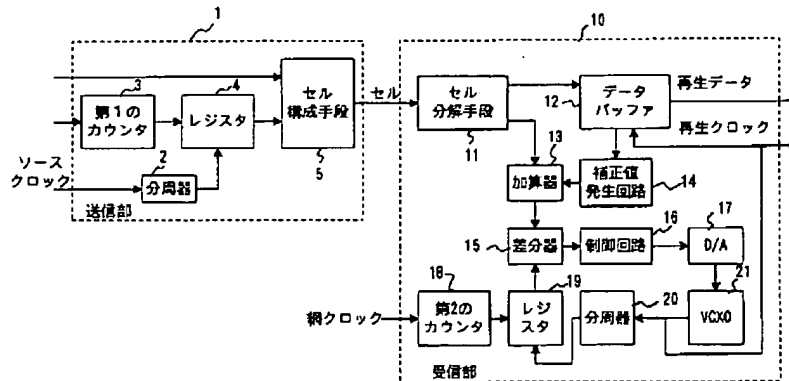
【図6】従来のソースクロック再生回路の送信部のブロック図である。

【図7】従来のソースクロック再生回路の受信部のブロック図である。

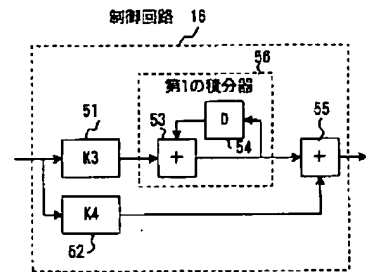
【符号の説明】

1	送信部
2	分周器
3	第1のカウンタ
4	レジスタ
5	セル構成手段、
10、10'	受信部
11	セル分解手段
12	データバッファ
13	加算器
14、14'	補正值発生回路
15	差分器
16	制御回路
17	D/A変換器
18	第2のカウンタ
19	レジスタ
20	分周器
21	電圧制御発振器（VCXO）
31、41'	判定器
32、39	利得器
33、35	加算器
34、36	レジスタ
37、56	第1の積分器
38	第2の積分器

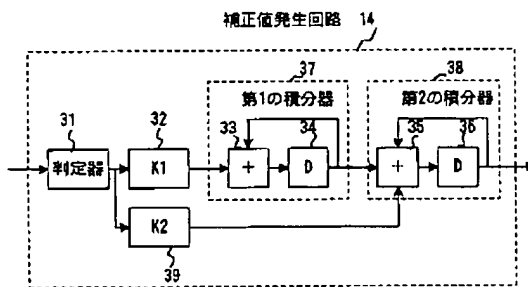
【図1】



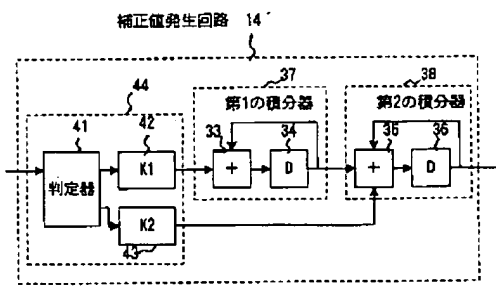
【図4】



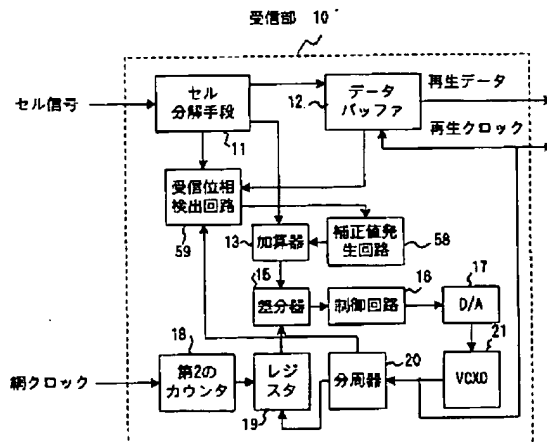
【図2】



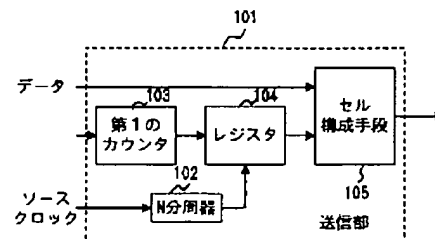
【図3】



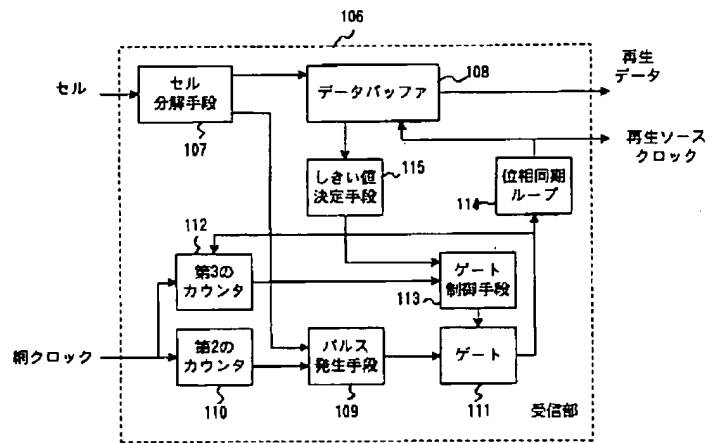
【図5】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**